

Docket No.: 60188-827

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Kyoko EGASHIRA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 31, 2004	:	Examiner:
	:	
For:		SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-094213, filed March 31, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: March 31, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-827
Egashira et al.
March 31, 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

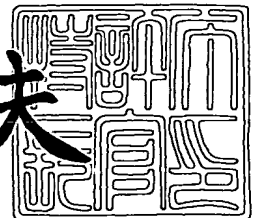
出 願 番 号 特 願 2 0 0 3 - 0 9 4 2 1 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 9 4 2 1 3]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 2 7 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 4 - 3 0 0 3 2 0 0

【書類名】 特許願

【整理番号】 2925540017

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04
H01L 21/82

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 江頭 恭子

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 橋本 伸

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された絶縁膜の上に下側から順に積層された第 1 の導電膜及び第 2 の導電膜よりなる配線と、

前記第 1 の導電膜よりなる容量下部電極と、前記容量下部電極の上に形成された容量絶縁膜と、前記容量絶縁膜の上に形成された前記第 2 の導電膜よりなる容量上部電極とからなる容量素子とを備えていることを特徴とする半導体装置。

【請求項 2】 基板上に形成された絶縁膜の上に下側から順に積層された第 1 の導電膜及び第 2 の導電膜よりなる配線と、

前記第 1 の導電膜よりなる容量下部電極と、前記容量下部電極の上に形成された容量絶縁膜と、前記容量絶縁膜の上に形成された前記第 2 の導電膜よりなる容量上部電極とからなる容量素子と、

前記第 1 の導電膜及び前記第 2 の導電膜よりなると共に前記容量下部電極と前記第 1 の導電膜を介して接続されており、電気的な中継を行なう中継電極とを備えていることを特徴とする半導体装置。

【請求項 3】 基板上に形成された絶縁膜の上に下側から順に積層された第 1 の導電膜及び第 2 の導電膜よりなる配線と、

前記絶縁膜上に形成された前記第 1 の導電膜よりなる抵抗体とを備えていることを特徴とする半導体装置。

【請求項 4】 基板上に形成された絶縁膜の上に下側から順に積層された第 1 の導電膜及び第 2 の導電膜よりなる配線と、

前記第 1 の導電膜よりなる容量下部電極と、前記容量下部電極の上に形成された容量絶縁膜と、前記容量絶縁膜の上に形成された前記第 2 の導電膜よりなる容量上部電極とからなる容量素子と、

前記絶縁膜上に形成された前記第 1 の導電膜よりなる抵抗体とを備えていることを特徴とする半導体装置。

【請求項 5】 前記第 1 の導電膜は金属窒化物よりなることを特徴とする請求項 1～4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記第 2 の導電膜はアルミニウム合金よりなることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 基板上に形成された絶縁膜の上に、第 1 の導電膜及び容量絶縁膜を順に堆積する工程と、

前記容量絶縁膜に対して選択的エッチングを行なって、容量素子を形成する第 1 の領域に前記容量絶縁膜を残存させる工程と、

前記第 1 の導電膜の上に、前記容量絶縁膜を覆うように第 2 の導電膜を堆積する工程と、

前記第 1 の導電膜及び前記第 2 の導電膜に対して選択的エッチングを行なって、前記第 1 の領域と異なる第 2 の領域において、前記第 1 の導電膜及び前記第 2 の導電膜よりなる配線を形成すると共に、前記第 1 の領域において、前記第 1 の導電膜よりなる容量下部電極、前記容量絶縁膜及び前記第 2 の導電膜よりなる容量上部電極とからなる容量素子を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 8】 基板上に形成された絶縁膜の上に、第 1 の導電膜及び容量絶縁膜を順に堆積する工程と、

前記容量絶縁膜に対して選択的エッチングを行なって、容量素子及び前記容量素子を構成する容量下部電極用の配線を形成する第 3 の領域に前記容量絶縁膜を残存させる工程と、

前記第 1 の導電膜の上に、前記容量絶縁膜を覆うように第 2 の導電膜を堆積する工程と、

前記第 1 の導電膜及び前記第 2 の導電膜に対して選択的エッチングを行なって、前記第 3 の領域と異なる第 4 の領域において、前記第 1 の導電膜及び前記第 2 の導電膜よりなる配線を形成すると共に、前記第 3 の領域において、前記第 1 の導電膜よりなる容量下部電極、前記容量絶縁膜及び前記第 2 の導電膜よりなる容量上部電極とからなる容量素子と前記容量下部電極用の配線とを形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 9】 基板上に形成された第 1 の絶縁膜の上に、第 1 の導電膜及び第 2 の絶縁膜を順に堆積する工程と、

前記第 2 の絶縁膜に対して選択的エッチングを行なって、抵抗体を形成する第 5 の領域に前記第 2 の絶縁膜を残存させる工程と、

前記第 1 の導電膜の上に、前記第 2 の絶縁膜を覆うように第 2 の導電膜を形成する工程と、

前記第 2 の絶縁膜をマスクの一部として用いて、前記第 1 の導電膜及び前記第 2 の導電膜に対して選択的エッチングを行なって、前記第 5 の領域と異なる第 6 の領域において、前記第 1 の導電膜及び前記第 2 の導電膜よりなる配線を形成すると共に、前記第 5 の領域において、前記第 1 の導電膜よりなる抵抗体を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 1 0】 前記第 1 の導電膜は金属窒化物よりなることを特徴とする請求項 7 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 1】 前記第 2 の導電膜はアルミニウム合金よりなることを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、M I M (M e t a l - I n s u l a t o r - M e t a l) 型容量素子及びアナログ回路等に用いられる抵抗体を有する半導体装置及びその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

アナログ系回路を含む半導体集積回路装置には、一般に、容量上部電極と容量下部電極との間に容量絶縁膜を有する M I M 型容量素子又は受動素子である抵抗体が搭載されている。

【0 0 0 3】

図 9 は、アナログ回路に用いられる従来の M I M 型容量素子の構造を示す断面図である。

【0 0 0 4】

図 9 に示すように、半導体基板 1 0 0 上に第 1 の導電膜 1 0 1 よりなる容量下

部電極 101a 及び第 1 の導電膜 101 よりなる第 1 の配線 101b が形成されている。容量下部電極 101a 及び第 1 の配線 101b を覆うように形成された層間絶縁膜 102 に開口されて、且つ容量下部電極 101a の上面と連通する開口面積が大きい開口部 102a の少なくとも底面及び側面を覆うように、容量絶縁膜 103 及び第 2 の導電膜 104 よりなる容量上部電極 104a が順に形成されている。また、容量下部電極 101a 及び第 1 の配線 101b を覆うように形成された層間絶縁膜 102 及び該層間絶縁膜 102 の上に形成された容量絶縁膜 103 に開口されて且つ第 1 の配線 101b の上面と連通するコンタクトホール 102b を埋め込むように、第 2 の導電膜 104 よりなるコンタクト 102c 及び第 2 の導電膜 104 よりなる第 2 の配線 104b が形成されている。尚、第 1 の配線 101b とコンタクトホール 102b を介して接続された第 2 の配線 104b とからなる構造は、通常のコンタクト構造である。

【0005】

図 10 は、前記図 9 に示した構造とは異なる構造を有する MIM 型容量素子の構造を示す断面図であり、半導体集積回路上のコンタクトとして平坦化により形成された W プラグが採用される一般的な MIM 型容量素子の断面図を示している。特に、微細素子パターンを有する高密度半導体デバイスにおいては、図 10 に示すような構造が適用されている。

【0006】

図 10 に示すように、半導体基板 200 上に第 1 の配線 201 が形成されている。容量下部電極としての第 1 の配線 201 の上に、容量絶縁膜 202 及び容量上部電極 203 が下から順に形成されている。容量上部電極 203 及び第 1 の配線 201 を覆うように形成された層間絶縁膜 204 に開口されて且つ容量上部電極 203 の上面と連通するコンタクトホールに W 膜が埋め込まれてなるコンタクト 205a が形成されている。層間絶縁膜 204 及びコンタクト 205a の上にコンタクト 205a を介して容量上部電極 203 と接続される第 2 の導電膜 206 よりなる第 2 の配線 206a が形成されている。また、第 1 の配線 201 の上の層間絶縁膜 204 に開口されて且つ第 1 の配線 201 の上面と連通するコンタクトホールに W 膜が埋め込まれてなるコンタクト 205b が形成されている。尚

、第 1 の配線 2 0 1 とコンタクト 2 0 5 b を介して接続された第 2 の配線 2 0 6 b とからなる構造は、通常の 2 層の配線構造である。

【0 0 0 7】

図 1 1 は、一般の半導体集積回路におけるアナログ回路に通常用いられる抵抗体を示す断面図である。

【0 0 0 8】

図 1 1 に示すように、S i 基板 3 0 0 上に素子分離のための絶縁膜 3 0 1 が形成されており、該絶縁膜 3 0 1 の上に高濃度の不純物を含むポリシリコン抵抗体 3 0 2 が形成されている。ポリシリコン抵抗体 3 0 2 を覆うように形成された層間絶縁膜 3 0 3 に開口されて且つポリシリコン抵抗体 3 0 2 の上面と連通するコンタクトホールに W 膜が埋め込まれてなるコンタクト 3 0 4 が形成されている。層間絶縁膜 3 0 3 の上にコンタクト 3 0 4 を介してポリシリコン抵抗体 3 0 2 と接続される第 2 の配線 3 0 5 が形成されている（以上、例えば特許文献 1 ～ 3 参照）。

【0 0 0 9】

【特許文献 1】

特開昭 6 2 - 4 2 5 5 3

【特許文献 2】

特開平 0 1 - 2 2 3 7 5 7

【特許文献 3】

特開 2 0 0 1 - 2 0 3 3 2 9

【0 0 1 0】

【発明が解決しようとする課題】

前記図 9 に示した M I M 型容量素子を形成するためには、半導体集積回路の上層を構成する第 1 の導電膜 1 0 1 よりなる容量下部電極 1 0 1 a 及び第 1 の導電膜 1 0 1 よりなる第 1 の配線 1 0 1 b を形成する工程と、半導体集積回路の上層を構成する第 2 の導電膜 1 0 4 よりなる容量上部電極 1 0 4 a 及び第 2 の導電膜 1 0 4 よりなる第 2 の配線 1 0 4 b とを形成する工程とに加えて、層間絶縁膜 1 0 2 に容量素子を形成するための開口部 1 0 2 a を設ける工程と容量絶縁膜 1 0

3を堆積する工程とを行なえばよい。この場合、第1の配線101bの上の第2の導電膜104よりなるコンタクト102c及び第2の導電膜104よりなる第2の配線104bは、前記図9から明らかなように、開口部102a及び層間絶縁膜102の上に容量絶縁膜103を堆積した後に、コンタクトホール102bを形成する。次に、コンタクトホール102b及び容量絶縁膜103の上に第2の配線層104を堆積した後に、該第2の配線層104をパターニングすることにより、第1の配線101bの上にコンタクト102cを介して第2の配線102bが形成される。

【0011】

このため、コンタクトホール102bを含む素子パターンが微細化されている場合に、コンタクトホール102bにW膜を埋め込んで平坦化することによりコンタクト102cを形成するプロセスを行なうと、まず、開口面積が大きい開口部102aにはW膜が十分に埋め込まれない。さらに、コンタクトホール102bに埋め込まれたW膜を平坦化するために、CMP（化学機械研磨）法又はエッチバック法を行なうと、開口面積が大きい開口部102aにはW膜が十分に埋め込まれない。

【0012】

従って、近年の平坦化プロセスは、一般的に、前記図10に示したような構造を有するMIM型容量素子の形成の際に用いられている。しかしながら、このような構造のMIM型容量素子を形成するためには、容量絶縁膜202を堆積する工程、容量上部電極203を構成する金属層を堆積する工程及び該金属層をパターニングして容量上部電極203を形成する工程が必要になる。また、容量絶縁膜202及び容量上部電極203をパターニングした後に、容量下部電極としての第1の配線201をパターニングするので、容量上部電極203の膜厚分の段差を考慮すると、容量下部電極としての第1の配線201をパターニングする際に用いるレジスト膜の膜厚が制限される。さらに、層間絶縁膜204における容量上部電極203の上側部分の膜厚と層間絶縁膜204における第1の配線201の上側部分の膜厚とが異なるので、第1の配線201の上に形成されたコンタクト205bと第2の配線206bとの接触抵抗の信頼性が劣化するという問題

がある。

【0013】

また、前記図11に示した抵抗は、例えばゲート電極を形成する工程で用いるポリシリコン膜より形成されているので、抵抗値がアナログ回路を構成するために必要な値以上に大きくなると共に、抵抗値のバラツキが大きい。従って、抵抗と回路とが直接接続される構造又は多層配線構造のデバイスにおいて、回路から抵抗までの配線長が長くならざるを得ない場合は寄生抵抗が大きくなるので、抵抗値に対する寄生抵抗の影響が問題になる。

【0014】

本発明は、前記に鑑み、微細素子を有する高集積半導体装置において、少ない工程数でMIM型容量素子を形成できると共に、抵抗値のバラツキ又は寄生抵抗が少ない抵抗体を有する半導体装置及びその製造方法を提供することである。

【0015】

【課題を解決するための手段】

前記の目的を達成するために、本発明の第1の半導体装置は、基板上に形成された絶縁膜の上に下側から順に積層された第1の導電膜及び第2の導電膜よりなる配線と、第1の導電膜よりなる容量下部電極と、容量下部電極の上に形成された容量絶縁膜と、容量絶縁膜の上に形成された第2の導電膜よりなる容量上部電極とからなる容量素子とを備えている。

【0016】

本発明の第1の半導体装置によると、容量素子を構成する容量上部電極は、配線を構成する第1の導電膜及び第2の導電膜を利用して形成されているので、従来のように、配線を構成する膜とは別に新たな膜を用いて容量上部電極を形成する必要がなくなる。このため、微細素子を有する高集積半導体装置において、容量上部電極に相当する膜厚分の段差を低減することができると共に、少ない工程数で容量素子を形成することができる。

【0017】

本発明の第2の半導体装置は、基板上に形成された絶縁膜の上に下側から順に積層された第1の導電膜及び第2の導電膜よりなる配線と、第1の導電膜よりな

る容量下部電極と、容量下部電極の上に形成された容量絶縁膜と、容量絶縁膜の上に形成された第2の導電膜よりなる容量上部電極とからなる容量素子と、第1の導電膜及び第2の導電膜よりなると共に容量下部電極と第1の導電膜を介して接続されており、電気的な中継を行なう中継電極とを備えている。

【0018】

本発明の第2の半導体装置によると、容量素子を構成する容量上部電極は、配線を構成する第1の導電膜及び第2の導電膜を利用して形成されているので、従来のように、配線を構成する膜とは別に新たな膜を用いて容量上部電極を形成する必要がなくなる。このため、微細素子を有する高集積半導体装置において、容量上部電極に相当する膜厚分の段差を低減することができると共に、少ない工程数で容量素子を形成することができる。さらに、容量下部電極を構成する第1の導電膜を容量下部電極用の配線として用いることにより、従来例のように、配線とコンタクトとを別々に形成して容量下部電極に接続する方法と比べると、配線の長さを短くできると共に寄生抵抗を抑えることができる。

【0019】

本発明の第3の半導体装置は、基板上に形成された絶縁膜の上に下側から順に積層された第1の導電膜及び第2の導電膜よりなる配線と、絶縁膜上に形成された第1の導電膜よりなる抵抗体とを備えている。

【0020】

本発明の第3の半導体装置によると、抵抗体は配線を構成する第1の導電膜を利用して形成されているので、従来の抵抗体と比べて、抵抗値の値を低くすることができると共に、集積回路の内部配線に直列に抵抗を設置する場合であっても、内部に向かう配線の寄生抵抗として集積回路の特性に悪影響を及ぼす事態を回避することができる。

【0021】

本発明の第4の半導体装置は、基板上に形成された絶縁膜の上に下側から順に積層された第1の導電膜及び第2の導電膜よりなる配線と、第1の導電膜よりなる容量下部電極と、容量下部電極の上に形成された容量絶縁膜と、容量絶縁膜の上に形成された第2の導電膜よりなる容量上部電極とからなる容量素子と、絶縁

膜上に形成された第 1 の導電膜よりなる抵抗体とを備えている。

【 0 0 2 2 】

本発明の第 4 の半導体装置によると、容量素子を構成する容量上部電極は、配線を構成する第 1 の導電膜及び第 2 の導電膜を利用して形成されているので、従来のように、配線を構成する膜とは別に新たな膜を用いて容量上部電極を形成する必要がなくなる。このため、微細素子を有する高集積半導体装置において、容量上部電極に相当する膜厚分の段差を低減することができると共に、少ない工程数で容量素子を形成することができる。また、容量下部電極を構成する第 1 の導電膜を容量下部電極用の配線として用いることにより、従来例のように、配線とコンタクトとを別々に形成して容量下部電極に接続する方法と比べると、配線の長さを短くできると共に寄生抵抗を抑えることができる。さらに、抵抗体は配線を構成する第 1 の導電膜を利用して形成されているので、従来の抵抗体と比べて、抵抗値の値を低くすることができると共に、集積回路の内部配線に直列に抵抗を設置する場合であっても、内部に向かう配線の寄生抵抗として集積回路の特性に悪影響を及ぼす事態を回避することができる。

【 0 0 2 3 】

本発明の半導体装置において、第 1 の導電膜が金属窒化物よりなる場合は、所望のシート抵抗を得ることができる。

【 0 0 2 4 】

本発明の半導体装置において、第 2 の導電膜として配線の主材料であるアルミニウム合金を使用することができる。

【 0 0 2 5 】

本発明の第 1 の半導体装置の製造方法は、基板上に形成された絶縁膜の上に、第 1 の導電膜及び容量絶縁膜を順に堆積する工程と、容量絶縁膜に対して選択的エッチングを行なって、容量素子を形成する第 1 の領域に容量絶縁膜を残存させる工程と、第 1 の導電膜の上に、容量絶縁膜を覆うように第 2 の導電膜を堆積する工程と、第 1 の導電膜及び第 2 の導電膜に対して選択的エッチングを行なって、第 1 の領域と異なる第 2 の領域において、第 1 の導電膜及び第 2 の導電膜よりなる配線を形成すると共に、第 1 の領域において、第 1 の導電膜よりなる容量下

部電極、容量絶縁膜及び第2の導電膜よりなる容量上部電極とからなる容量素子を形成する工程とを備える。

【0026】

本発明の第1の半導体装置の製造方法によると、容量素子を構成する容量上部電極は、配線を構成する第1の導電膜及び第2の導電膜を利用して形成するので、従来のように、配線を構成する膜とは別に新たな膜を用いて容量上部電極を形成する必要がなくなる。このため、微細素子を有する高集積半導体装置において、容量上部電極に相当する膜厚分の段差を低減することができると共に、少ない工程数で容量素子を形成することができる。

【0027】

本発明の第2の半導体装置の製造方法は、基板上に形成された絶縁膜の上に、第1の導電膜及び容量絶縁膜を順に堆積する工程と、容量絶縁膜に対して選択的エッチングを行なって、容量素子及び容量素子を構成する容量下部電極用の配線を形成する第3の領域に容量絶縁膜を残存させる工程と、第1の導電膜の上に、容量絶縁膜を覆うように第2の導電膜を堆積する工程と、第1の導電膜及び第2の導電膜に対して選択的エッチングを行なって、第3の領域と異なる第4の領域において、第1の導電膜及び第2の導電膜よりなる配線を形成すると共に、第3の領域において、第1の導電膜よりなる容量下部電極、容量絶縁膜及び第2の導電膜よりなる容量上部電極とからなる容量素子と容量下部電極用の配線とを形成する工程とを備える。

【0028】

本発明の第2の半導体装置の製造方法によると、容量素子を構成する容量上部電極は、配線を構成する第1の導電膜及び第2の導電膜を利用して形成されているので、従来のように、配線を構成する膜とは別に新たな膜を用いて容量上部電極を形成する必要がなくなる。このため、微細素子を有する高集積半導体装置において、容量上部電極に相当する膜厚分の段差を低減することができると共に、少ない工程数で容量素子を形成することができる。さらに、容量下部電極を構成する第1の導電膜を容量下部電極用の配線として用いて形成することにより、従来例のように、配線とコンタクトとを別々に形成して容量下部電極に接続する方

法と比べると、配線の長さを短くできると共に寄生抵抗を抑えることができる。

【0029】

本発明の第3の半導体装置の製造方法は、基板上に形成された第1の絶縁膜の上に、第1の導電膜及び第2の絶縁膜を順に堆積する工程と、第2の絶縁膜に対して選択的エッチングを行なって、抵抗体を形成する第5の領域に第2の絶縁膜を残存させる工程と、第1の導電膜の上に、第2の絶縁膜を覆うように第2の導電膜を形成する工程と、第2の絶縁膜をマスクの一部として用いて、第1の導電膜及び第2の導電膜に対して選択的エッチングを行なって、第5の領域と異なる第6の領域において、第1の導電膜及び第2の導電膜よりなる配線を形成すると共に、第5の領域において、第1の導電膜よりなる抵抗体を形成する工程とを備える。

【0030】

本発明の第3の半導体装置の製造方法によると、抵抗体は配線を構成する第1の導電膜を利用して形成するので、従来の抵抗体と比べて、抵抗値の値を低くすることができると共に、集積回路の内部配線に直列に抵抗を設置する場合であっても、内部に向かう配線の寄生抵抗として集積回路の特性に悪影響を及ぼす事態を回避することができる。また、第2の絶縁膜がエッチングの際のマスクの一部になるので、所望の抵抗体を形成することができる。

【0031】

本発明の半導体装置の製造方法において、第1の導電膜が金属窒化物よりなる場合は、所望のシート抵抗を得ることができる。

【0032】

本発明の半導体装置の製造方法において、第2の導電膜として配線の主材料であるアルミニウム合金を使用することができる。

【0033】

【発明の実施の形態】

以下、本発明の各実施形態について、図面を参照しながら説明する。

【0034】

(第1の実施形態)

図 1 は本発明の第 1 の実施形態に係る半導体装置の断面図であり、MIM 型容量素子と一般の配線部分を示している。

【0035】

図 1 に示すように、半導体基板 1 上に形成された絶縁膜 2 の上に同一の膜層よりなる第 1 の配線 3 a 及び 3 b が形成されている。該第 1 の配線層 3 a 及び 3 b を覆うように表面が平坦化された第 1 の層間絶縁膜 4 が形成されており、該第 1 の層間絶縁膜 4 には W 膜が埋め込まれたコンタクト 5 a、5 b 及び 5 c が形成されている。第 1 の層間絶縁膜 4 及びコンタクト 5 a の上に、バリアメタル膜 6（第 1 の導電膜）よりなる容量下部電極、SiO₂ 膜 7 よりなる容量絶縁膜、及び AlCu 膜 8（第 2 の導電膜）並びに TiN 膜 9 が順に積層されてなる容量上部電極から構成される MIM 型容量素子 10 a が形成されている。

【0036】

また、第 1 の層間絶縁膜 4 及びコンタクト 5 b の上に、バリアメタル膜 6、AlCu 膜 8 及び TiN 膜 9 が順に積層されてなる電氣的に寄与する第 2 の配線 10 b 及び 10 c が形成されている。尚、コンタクト 5 a は第 1 の配線 3 a と MIM 型容量素子 10 a とを接続しており、コンタクト 5 b は第 1 の配線 3 a と第 2 の配線 10 b とを接続しており、コンタクト 5 c は第 1 の配線 3 b と第 2 の配線 10 c とを接続している。

【0037】

MIM 型容量素子 10 a、第 2 の配線 10 b 及び 10 c を覆うように表面が平坦化された第 2 の層間絶縁膜 11 が形成されており、該第 2 の層間絶縁膜 11 に W 膜が埋め込まれたコンタクト 12 a 及び 12 b が形成されている。第 2 の層間絶縁膜 11 の上にコンタクト 12 a を介して MIM 型容量素子 10 a と接続される第 3 の配線 13 a が形成されている。また、第 2 の層間絶縁膜 11 の上にコンタクト 12 b を介して第 2 の配線 10 b と接続される第 3 の配線 13 b が形成されている。

【0038】

以上のように、本実施形態によると、MIM 型容量素子 10 a の容量上部電極は、チップ内部の集積回路における第 2 の層間絶縁膜 11 で被覆された層内で用

いられる配線層を利用して形成されているので、前記図10に示した従来例のように、配線を構成する膜とは別に新たな膜を用いて容量上部電極を形成する必要がなくなる。このため、微細素子を有する高集積半導体装置において、容量上部電極に相当する膜厚分の段差を低減することができると共に、少ない工程数でMIM型容量素子を形成することができる。

【0039】

(第2の実施形態)

図2は、本発明の第2の実施形態に係る半導体装置の断面図であり、MIM型容量素子とその近辺の一般の配線部分を示している。尚、図2においては、前記図1で示したような半導体基板、該半導体基板上に形成された絶縁膜及び該絶縁膜上に形成された第1の配線の図示は省略している。

【0040】

図2に示すように、絶縁膜上に形成された配線（図示せず）を覆うように表面が平坦化された第1の層間絶縁膜21が形成されている。該第1の層間絶縁膜21の上に、バリアメタル膜22（第1の導電膜）よりなる容量下部電極、SiO₂膜23よりなる容量絶縁膜、及びAlCu膜24（第2の導電膜）並びにTiN膜25が順に積層されてなる容量上部電極からなるMIM型容量素子26aが形成されている。また、第1の層間絶縁膜21の上に、バリアメタル膜22、AlCu膜24及びTiN膜25が順に積層されてなる電氣的に中継の役割を果たす中継電極26bが形成されている。さらに、第1の層間絶縁膜21の上に、バリアメタル膜22、AlCu膜24及びTiN膜25が積層されてなる電氣的に寄与する第2の配線26cが形成されている。

【0041】

また、MIM型容量素子26aの容量下部電極としてのバリアメタル膜22と中継電極26bを積層する下層としてのバリアメタル膜22とは、図2に示すように繋がっている。尚、MIM型容量素子26aと中継電極26bとの間のバリアメタル膜22の部分を容量下部電極用配線22aと呼ぶことにする。

【0042】

また、第1の層間絶縁膜21の上に、MIM型容量素子26a、中継電極26

b、第2の配線26c及び下部電極用配線22aを覆うように、表面が平坦化された第2の層間絶縁膜27が形成されている。該第2の層間絶縁膜27に、MIM型容量素子26aと接続されるW膜よりなるコンタクト28aと、中継電極26bと接続されるW膜よりなるコンタクト28bとが形成されている。さらに、第2の層間絶縁膜27の上に同一の導電膜よりなる第3の配線29a及び第3の配線層29bが形成されている。第3の配線29aはコンタクト28aを介してMIM型容量素子26aと接続され、第3の配線29bはコンタクト28bを介して中継電極26bと接続される。

【0043】

このように、MIM型容量素子26aを構成する容量下部電極及び容量上部電極は、前記第1の実施形態と同様に、チップ内部の集積回路における第2の層間絶縁膜27で被覆された層内で用いられる配線層を利用して形成されているので、配線を構成する膜とは別に新たな膜を用いて容量上部電極を形成する必要がなくなる。また、前記第1の実施形態では、MIM型容量素子の容量上部電極への電圧は第3の配線から与えると共に容量下部電極への電圧は第1の配線から与えていたが、本実施形態では、MIM型容量素子26aの容量上部電極及び容量下部電極への電圧は共に第3の導電膜29よりなる第3の配線29a及び29bから与えることができる。尚、MIM型容量素子と電圧印加配線層の占める面積は本実施形態に比べると前記第1の実施形態の方が有利である。

【0044】

また、本実施形態の半導体装置の構造において、バリアメタル膜22をTiNとTiとからなる積層構造とし、且つそれぞれの膜厚を等しく20nmとすると、バリアメタル膜22のシート抵抗は $30\Omega/\square$ となるので、バリアメタル膜22は容量下部用電極配線22aに用いるために十分に低い抵抗を有する。

【0045】

以上のように、本実施形態によると、容量下部電極及び容量下部電極用配線22aを構成するバリアメタル膜22を容量下部電極用配線22aとして用いることにより、従来例(図10)のように、配線とコンタクトとを別々に形成して容量下部電極に接続する方法と比べると、配線の長さを短くできると共に寄生抵抗

を抑えることができる。また、第1の実施形態と同様に、微細素子を有する高集積半導体装置において、容量上部電極に相当する膜厚分の段差を低減することができると共に、少ない工程数でMIM型容量素子を形成することができる。

【0046】

(第3の実施形態)

図3は、本発明の第3の実施形態に係る半導体装置の断面図を示しており、抵抗部分を示している。

【0047】

図3に示すように、半導体基板30上に形成された絶縁膜31の上に第1の配線32が形成されている。絶縁膜31の上に、該第1の配線32を覆うように表面が平坦化された第1の層間絶縁膜33が形成されており、該第1の層間絶縁膜33にW膜が埋め込まれたコンタクト34が形成されている。

【0048】

第1の層間絶縁膜33及びコンタクト34の上に、バリアメタル膜35（第1の導電膜）よりなる抵抗体35aが形成されている。抵抗体35aの左右両端部分に、バリアメタル膜35、AlCu膜36（第2の導電膜）及びTiN膜37が積層されてなる抵抗用電極35b及び35cが形成されている。尚、抵抗体35a及び抵抗用電極35b並びに35cにより抵抗素子を構成している。第1の層間絶縁膜33の上に、抵抗体35a及び抵抗用電極35b並びに35cを覆うように表面が平坦化された第2の層間絶縁膜38が形成されている。第2の層間絶縁膜38にW膜が埋め込まれてなるコンタクト38aが形成されている。第2の層間絶縁膜38の上に第3の配線39が形成されている。

【0049】

抵抗用電極35b及び35cは、チップ内部の集積回路における第2の層間絶縁膜38で被覆された層内で用いられる配線層を利用して形成され、配線の形成と同時に形成することができる。また、抵抗体35aは、第2の層間絶縁膜38で被覆された層内で用いられる配線層を構成するバリアメタル膜35を利用して形成される。コンタクト34は第1の配線32と抵抗用電極35bとを電氣的に接続しており、コンタクト38aは第3の配線39と抵抗用電極35cとを電気

的に接続している。

【0050】

また、本実施形態の半導体装置の構造において、バリアメタル膜35をTiN膜とTi膜とからなる積層構造とし、且つそれぞれの膜厚を等しく20nmとすると、バリアメタル膜35よりなる抵抗体35aのシート抵抗は $30\Omega/\square$ と低い値を得ることができる。

【0051】

以上のように、本実施形態によると、アナログ回路用の抵抗体35aは、チップ内部の集積回路における第2の層間絶縁膜38で被覆された層内で用いられる配線層を構成するバリアメタル膜35を利用して形成されているので、従来例のように、ポリシリコン膜よりなる抵抗体と比べて、抵抗値の値を低くすることができると共に、集積回路の内部配線に直列に抵抗を設置する場合であっても、内部に向かう配線の寄生抵抗として集積回路の特性に悪影響を及ぼす事態を回避することができる。しかも、高融点金属又はそのナイトライドのような金属化合物からなるバリアメタル膜35を抵抗体35aに用いているので、従来例のポリシリコン膜よりなる抵抗体とは異なり、抵抗値のバラツキを低減することができる。

【0052】

(第4の実施形態)

図4は、本発明の第4の実施形態に係る半導体装置の断面図であり、前記図2に示した構造と同様のMIM型容量素子と前記図3に示した構造と同様の抵抗体とが同時に形成された場合の半導体装置の断面図を示している。

【0053】

図4に示すように、半導体基板41上に形成された絶縁膜42の上に第1の配線43が形成されている。絶縁膜42の上に、第1の配線43を覆うように表面が平坦化された第1の層間絶縁膜44が形成されており、該第1の層間絶縁膜44にはW膜が埋め込まれてなるコンタクト45が形成されている。第1の層間絶縁膜44及びコンタクト45の上に、前記第2の実施形態と同様にして、前記図2に示した対応する各部分と同一の膜層を用いてなるMIM型容量素子46a、

容量下部電極用配線 46b、中継電極 46c 及び第 2 の配線 46d が形成されている。さらに、第 1 の層間絶縁膜 44 及びコンタクト 45 の上に、前記第 3 の実施形態と同様にして、前記図 3 に示した対応する各部分と同一の膜層を用いてなる抵抗体 46e 及び抵抗用電極 46f 並びに 46g が形成されている。

【0054】

尚、前記第 2 及び第 3 の実施形態と同様に、MIM 型容量素子 46a、容量下部電極用配線 46b、抵抗体 46e、中継電極 46c、第 2 の配線 46d 及び抵抗用電極 46f 並びに 46g を覆うように、表面が平坦化された第 2 の層間絶縁膜 47 が形成されており、該第 2 の層間絶縁膜 47 には W 膜が埋め込まれてなるコンタクト 48a～48c が形成されている。さらに、第 2 の層間絶縁膜 47 及びコンタクト 48a～48c の上に、第 3 の配線 49a～49c が形成されている。

【0055】

以上のように、本実施形態によると、チップ内部の集積回路における第 2 の層間絶縁膜 47 で被覆された層内で用いられる配線層を構成する膜を利用して、MIM 型容量素子 46a、容量下部電極用配線 46b、抵抗体 46e、中継電極 46c、第 2 の配線 46d 及び抵抗用電極 46f 並びに 46g が形成されているので、前記第 2 及び第 3 の実施形態の両方の効果を実現することができる。また、本実施形態において、MIM 型容量素子 46a と抵抗体 46e とはチップ内部の集積回路における第 2 の層間絶縁膜 47 で被覆された層内で用いられる配線層を構成する膜を利用して形成されているが、MIM 型容量素子 46a と抵抗体 46e とを互いに異なる配線層（例えば第 1 の配線 43 又は第 3 の配線 49a～49c 等の配線層）を構成する膜を利用して形成することができる。また、本実施形態の半導体装置の構造において、バリアメタル膜 22 として 30nm の膜厚を有する TiN 膜を用いると、バリアメタル膜 22 よりなる抵抗体 46e 及び容量下部電極用配線 46b のシート抵抗は約 $40\Omega/\square$ となるので、抵抗値を低くできると共に抵抗値のバラツキを抑えることができる。

【0056】

(第 5 の実施形態)

図5(a)～(c)及び図6(a)～(c)は、本発明の第5の実施形態に係る半導体装置の製造方法を示す断面図であり、特に、前記図1に示したようなMIM型容量素子を含む半導体装置の製造方法を示している。

【0057】

まず、図5(a)に示すように、半導体基板51上に形成された絶縁膜52の上に第1の配線53を形成した後、該第1の配線53を覆うように表面が平坦化された第1の層間絶縁膜54を形成する。次に、該第1の層間絶縁膜54に第1の配線53の上面と連通するコンタクトホールを形成した後、該コンタクトホールにW膜を埋め込んでコンタクト55a及び55bを形成する。次に、スパッタ法により、第1の層間絶縁膜54及びコンタクトホール55a並びに55bの上にバリアメタル膜56(第1の導電膜)として膜厚が30nmであるTiN膜を堆積する。次に、370℃であって且つモノシラン及びN₂Oガスからなる雰囲気下で、CVD法によりバリアメタル膜56の上に膜厚が50nmであるSiO₂膜57(容量絶縁膜)を堆積する。

【0058】

次に、図5(b)に示すように、SiO₂膜57の上であって且つMIM型容量素子を形成する領域(第1の領域)にレジストパターン58を形成した後、レジストパターン58をマスクにしてCF₄とCHF₃とからなる混合ガスを用いてSiO₂膜57を選択的にドライエッチングする。

【0059】

次に、図5(c)に示すように、アッシングと洗浄技術とによりレジストパターン58を除去した後、スパッタ法によりバリアメタル膜56及びSiO₂膜57の上に膜厚が450nmであるAlCu膜59(第2の導電膜)を堆積する。その後、AlCu膜59の上に膜厚が30nmであるTiN膜60を堆積する。

【0060】

次に、図6(a)に示すように、TiN膜60の上であって且つ配線を形成する領域(第2の領域)とTiN膜60の上であって且つMIM型容量素子を形成する領域であって下方にSiO₂膜57が存在する領域とにレジストパターン61を形成する。

【0061】

次に、図6（b）に示すように、レジストパターン61をマスクにしてTiN膜60、AlCu合金膜59、SiO₂膜57及びバリアメタル膜（TiN膜）56を選択的にドライエッチングすることにより、MIM型容量素子62a及び第2の配線62bを形成する。

【0062】

次に、図6（c）に示すように、第1の層間絶縁膜54の上に、MIM型容量素子62a及び第2の配線62bを覆うように表面が平坦化された第2の層間絶縁膜63を形成する。次に、第2の層間絶縁膜63にコンタクトホールを形成した後、該コンタクトホールにW膜を埋め込んでコンタクト64a及び64bを形成する。その後、第2の層間絶縁膜63及びコンタクト64a並びに64bの上に第3の配線65a及び65bを形成する。

【0063】

このようにして完成したMIM型容量素子62aを構成する容量下部電極はバリアメタル膜（TiN膜）56よりなり、容量上部電極はAlCu膜59とTiN膜60との積層膜よりなる。また、容量下部電極はコンタクト55aを介して第1の配線53に接続されると共に、容量上部電極は第3の配線65aに接続される。このため、容量上部電極及び容量下部電極へ電圧を印加することができる。

【0064】

以上のように、本実施形態によると、チップ内部の集積回路における第2の層間絶縁膜63で被覆された層内で用いられる配線を製造する工程を利用してバリアメタル膜（TiN膜）56、AlCu膜59及びTiN膜60を形成する工程に加えて、容量絶縁膜としてのSiO₂膜57を形成する工程を追加するだけでMIM型容量素子62aを形成することができる。このため、本実施形態によると、前記図10に示した従来例のMIM型容量素子を製造する場合のように、容量上部電極を形成する工程を別途追加する必要がない。従って、コンタクトホールにW膜を埋め込んでコンタクトを形成する必要がある高密度微細素子に対応した半導体装置を製造する工程数を削減することができると共に製造コストを低減

することができる。

【0065】

(第6の実施形態)

図7(a)～(c)及び図8(a)及び(c)は、本発明の第6の実施形態に係る半導体装置の製造方法を示す断面図であり、前記図4に示したような半導体装置を製造する方法を示す断面図である。

【0066】

まず、図7(a)に示すように、半導体基板71上に形成された絶縁膜72(第1の絶縁膜)の上に、第1の配線73を形成する。次に、絶縁膜72の上に、該第1の配線73を覆うように表面が平坦化された第1の層間絶縁膜74を形成する。次に、第1の層間絶縁膜74に第1の配線73の上面と連通するコンタクトホールを形成した後、該コンタクトホールにW膜を埋め込んでコンタクト75を形成する。次に、スパッタ法により、第1の層間絶縁膜74及びコンタクト75の上にバリアメタル膜77(第1の導電膜)として膜厚が30nmであるTiN膜を堆積した後、370℃であって且つモノシラン及びN₂O ガスからなる雰囲気下で、CVD法によりバリアメタル膜76の上に膜厚が50nmであるSiO₂膜77を堆積する。

【0067】

次に、図7(b)に示すように、SiO₂膜77の上であって且つ少なくともMIM型容量素子及び容量下部電極用配線を形成する領域(第3の領域)と抵抗体を形成する領域(第5の領域)に第1のレジストパターン78を形成した後、該第1のレジストパターン78をマスクにしてCF₄とCHF₃とからなる混合ガスを用いてSiO₂膜77(第2の絶縁膜)を選択的にドライエッチングすることにより、MIM型容量素子、容量下部電極用配線及び抵抗体を形成する領域に対応する部分にあるSiO₂膜77を残存させる。

【0068】

次に、図7(c)に示すように、アッシングと洗浄技術とにより第1のレジストパターン78を除去する。次に、スパッタ法により、バリアメタル膜76及び残存しているSiO₂膜77の上に膜厚が450nmであるAlCu膜79(第

2の導電膜)を堆積した後、該AlCu膜79の上に膜厚が30nmであるTiN膜80を堆積する。次に、第2の配線を形成する領域(第4又は第6の領域に含まれる)、MIM型容量素子及び容量下部電極用配線を形成する領域、抵抗体を形成する領域、中継電極及び抵抗用電極を形成する領域(第4又は第6の領域に含まれる)に第2のレジストパターン81を形成する。

【0069】

次に、図8(a)に示すように、SiO₂膜77に対して選択比が高いドライエッチ技術を用いて、第2のレジストパターン81をマスクにしてバリアメタル膜(TiN膜)76、AlCu膜79、SiO₂膜77及びTiN膜80をドライエッチングする。この場合、SiO₂膜77はほとんどエッチングされないので、MIM型容量素子82aの下部電極用配線82bと抵抗体82fとが形成されると共に、MIM型容量素子82a、中継電極82c、第2の配線82d及び抵抗用電極82e並びに82gが形成される。

【0070】

次に、図8(b)に示すように、第1の層間絶縁膜74の上に、MIM型容量素子82a、容量下部電極用配線82b、中継電極82c、第2の配線82d、抵抗体82f及び抵抗体82fの両端部分の抵抗用電極82e並びに82gを覆うように第2の層間絶縁膜83を形成する。次に、該第2の層間絶縁膜83にコンタクトホールを形成した後、該コンタクトホールにW膜を埋め込むことにより、MIM型容量素子82aに接続されるコンタクト84a、中継電極82cに接続されるコンタクト84b、及び抵抗用電極82eと接続されるコンタクト84cを形成する。次に、第2の層間絶縁膜83の上に、コンタクトホール84aと接続される第3の配線85a、コンタクトホール84bと接続される第3の配線85b、及びコンタクトホール84cと接続される第3の配線85cを形成する。

【0071】

以上のように、本実施形態によると、チップ内部の集積回路における第2の層間絶縁膜83で被覆された層内で用いられる配線を製造する工程を利用してバリアメタル膜(TiN膜)76、AlCu膜79及びTiN膜80を形成する工程

に加えて、容量絶縁膜としての SiO_2 膜77を形成する工程を追加するだけでMIM型容量素子82aを形成することができる。このため、本実施形態によると、前記図10に示した従来例のMIM型容量素子を製造する場合のように、容量上部電極を形成する工程を別途追加する必要がない。従って、コンタクトホールにW膜を埋め込んでコンタクトを形成する必要がある高密度微細素子に対応した半導体装置を製造する工程数を削減することができると共に製造コストを低減することができる。

【0072】

また、本実施形態においては、第2の層間絶縁膜83で被覆された層内で用いられる配線層を構成する膜を利用することによりMIM型容量素子82aと抵抗体82fとを形成する方法を示した。しかしながら、必要に応じて、例えば第1の配線73のようにTiN膜/AICu膜/TiN膜の積層構造よりなる配線層を構成する膜を利用してMIM型容量素子82aを形成する一方、例えば第2の配線82dを構成する膜を利用して抵抗体82fを形成するというように、MIM型容量素子82aと抵抗体82fとをそれぞれ互いに異なる配線層を構成する膜を利用して製造することもできる。この場合、MIM型容量素子82aについては前記7及び図8で説明したMIM型容量素子の部分と同じ製造工程を用いることができ、また、抵抗についても前記図7及び図8で説明した抵抗体の部分と同じ製造工程を用いればよい。

【0073】

尚、前記第1～第6の各実施形態においては、バリアメタル膜の材料としてTiN膜又はTiN膜及びTi膜よりなる積層膜を用いたが、これ以外にTi膜、W膜、Ta膜等の高融点金属膜、高融点金属シリサイド膜、高融点金属ナイトライド膜又は高融点金属炭化物膜等も比抵抗が低いため、バリアメタル膜を構成する主要材料として好適であるので、これらの材料を単体として又は層間絶縁膜に対する密着層であるTi膜等と組み合わせて使用することもできる。その他、所望のシート抵抗が得られるのであればどのような材料からなる膜を用いることによりバリアメタル膜を構成しても構わない。また、容量絶縁膜又は第2の絶縁膜として SiO_2 膜を用いたが、この他にSiO膜、SiON膜、SiN膜、酸化

タンタル又はこれらの積層膜等のように、容量絶縁膜となるもの又は第 2 の絶縁膜となるものであればどのような材料からなる膜を用いても構わない。

【 0 0 7 4 】

【発明の効果】

以上のように、本発明によると、容量素子を構成する容量上部電極は、配線を構成する第 1 の導電膜及び第 2 の導電膜を利用して形成されているので、従来のように、配線を構成する膜とは別に新たな膜を用いて容量上部電極を形成する必要がなくなる。このため、微細素子を有する半導体装置において、容量上部電極に相当する膜厚分の段差を低減することができると共に、少ない工程数で容量素子を形成することができる。その結果、半導体装置の製造コストの削減、歩留まりの向上及び性能の向上に大きく寄与することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体装置の断面図である。

【図 2】

本発明の第 2 の実施形態に係る半導体装置の断面図である。

【図 3】

本発明の第 3 の実施形態に係る半導体装置の断面図である。

【図 4】

本発明の第 4 の実施形態に係る半導体装置の断面図である。

【図 5】

(a) ～ (c) は本発明の第 5 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 6】

(a) ～ (c) は本発明の第 5 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 7】

(a) ～ (c) は本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 8】

(a) 及び (b) は本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 9】

従来の MIM 型容量素子を示す断面図である。

【図 10】

従来の MIM 型容量素子を示す断面図である。

【図 11】

従来のアナログ回路用の抵抗体を示す断面図である。

【符号の説明】

- 1、30、41、51、71 基板
- 2、21、31、42、52、72 絶縁膜
- 3a 及び 3b、32、43、53、73 第 1 の配線
- 4、33、44、54、74 第 1 の層間絶縁膜
- 6、22、35、56、76 バリアメタル膜 (第 1 の導電膜)
- 7、23、57、77 SiO₂ 膜 (容量絶縁膜)
- 8、24、36、59、79 AlCu 膜 (第 2 の導電膜)
- 9、25、37、60、80 TiN 膜
- 10a、26a、46a、62a、82a 容量素子
- 10b、10c、26c、46d、62b、82d 第 2 の配線
- 11、38、47、63、83 第 2 の層間絶縁膜
- 5a、5b、5c、12a、12b、28a、28b、34、48a、48b、
48c、55a、55b、64a、64b、75、84a、84b、84c コ
ンタクト
- 13a、13b、29a、29b、39、49a、49b、49c、65a、6
5b、85a、85b、85c 第 3 の配線
- 22a、82b 容量下部電極用配線
- 26b、46c、82c 中継電極
- 27 層間絶縁膜

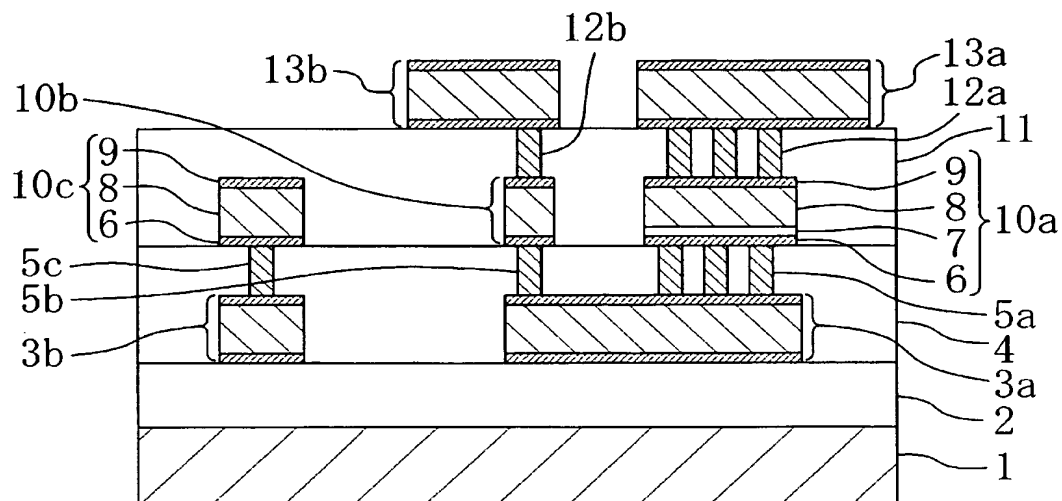
3 5 a 抵抗体

3 5 b、3 5 c、4 6 f、4 6 g、8 2 e、8 2 g 抵抗用電極

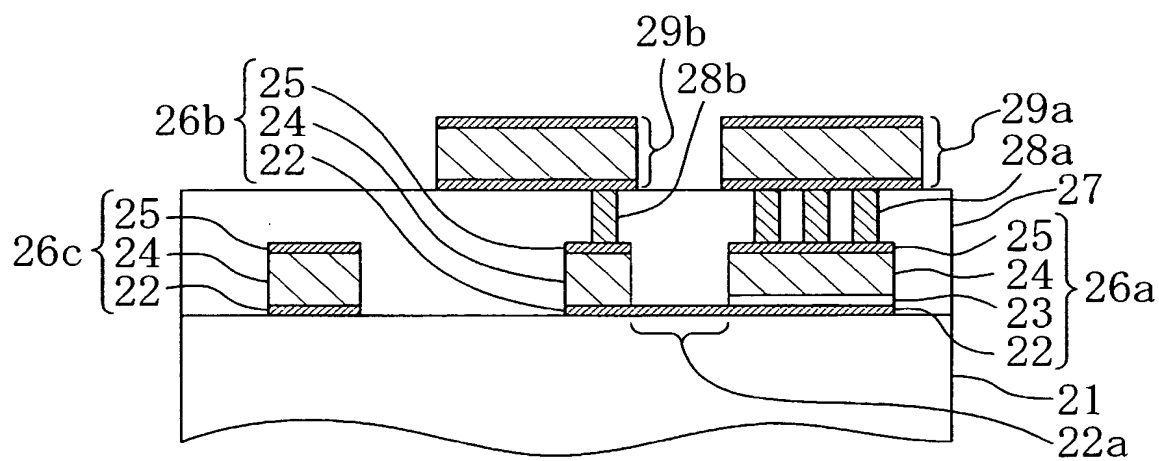
5 8、6 1、7 8、8 1 レジストパターン

【書類名】 図面

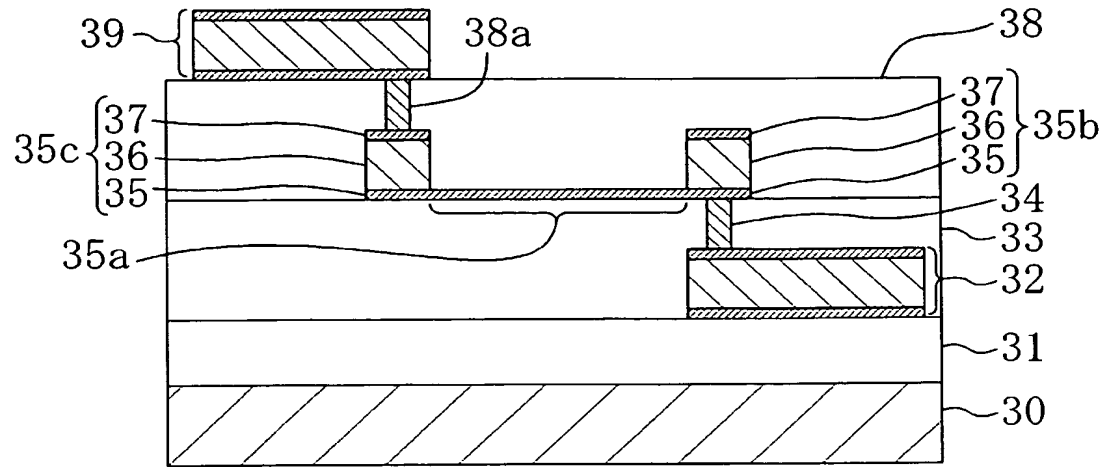
【図 1】



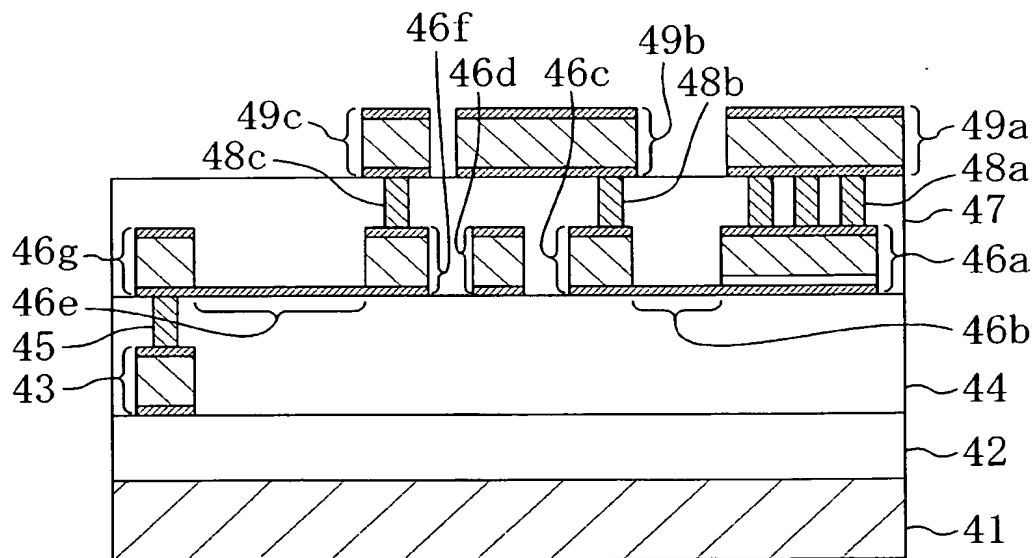
【図 2】



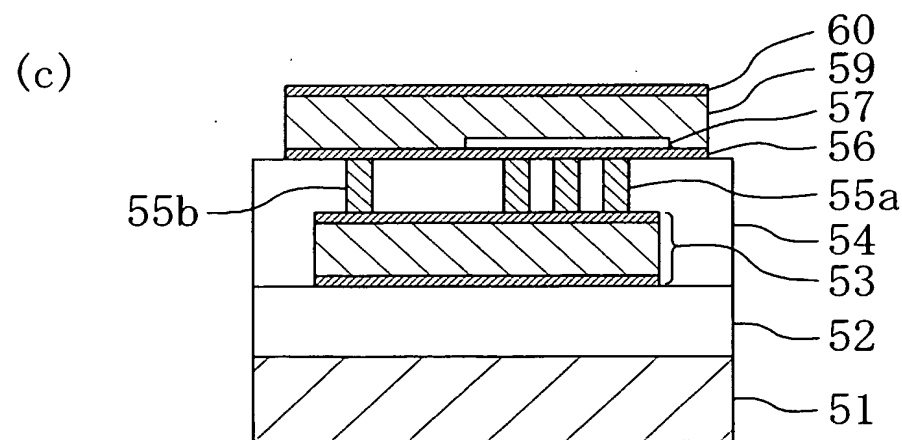
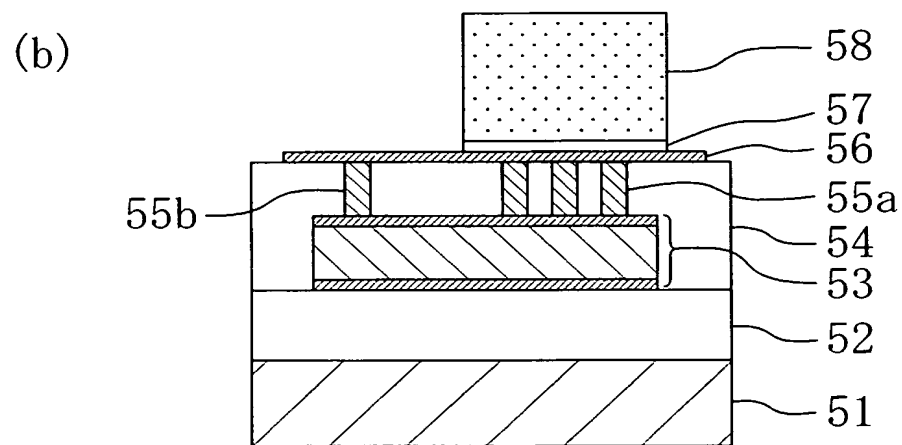
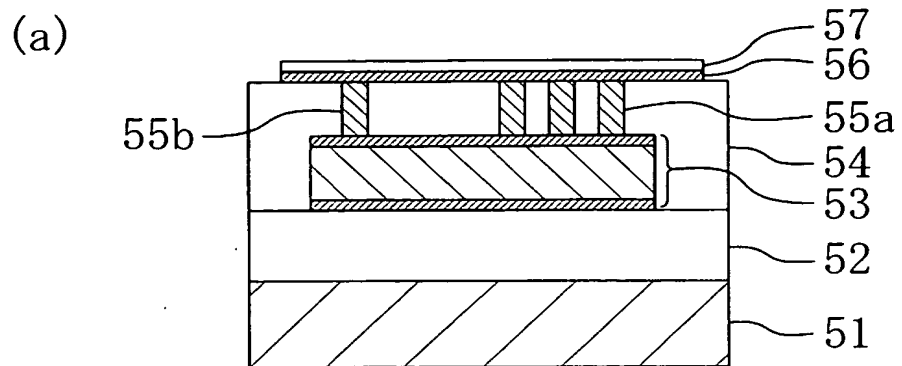
【図 3】



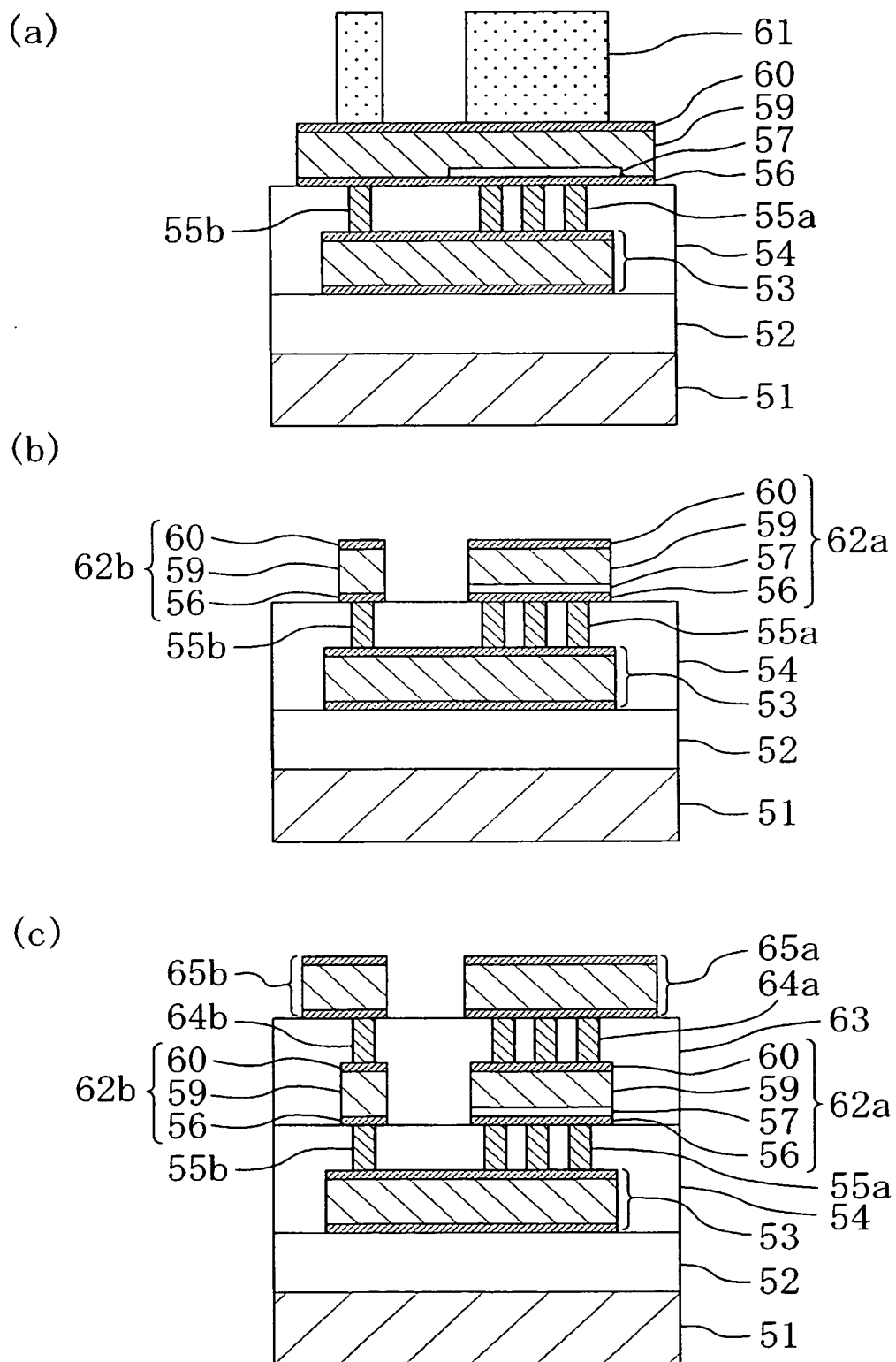
【図 4】



【図 5】

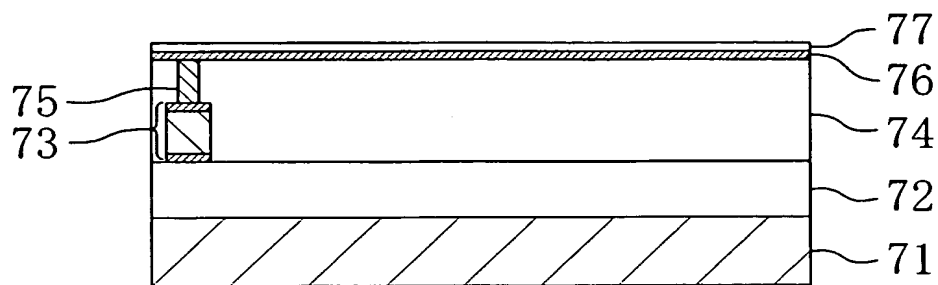


【図 6】

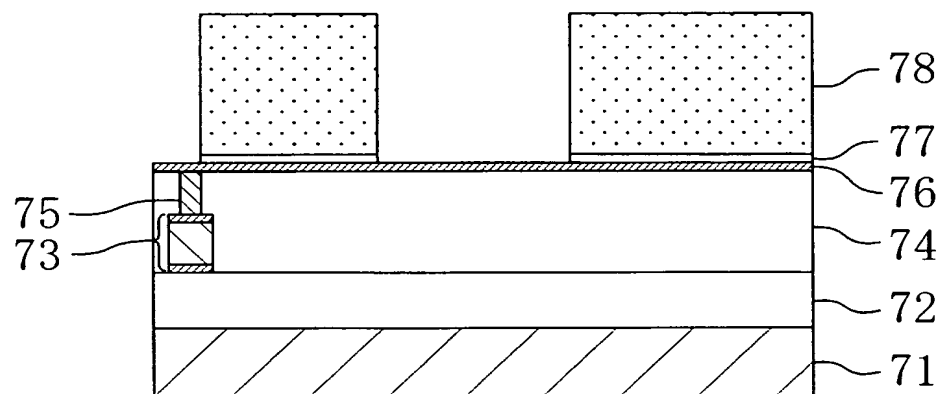


【図 7】

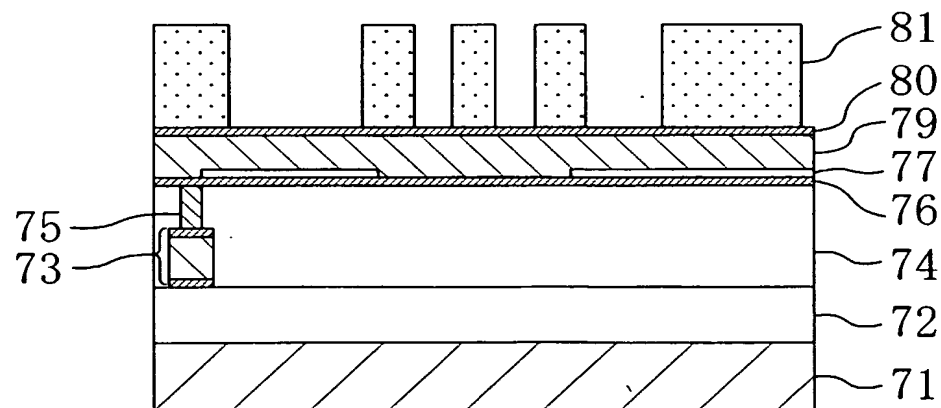
(a)



(b)

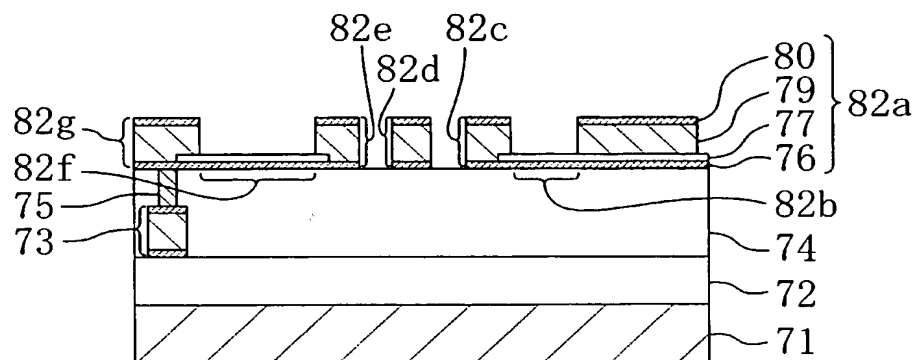


(c)

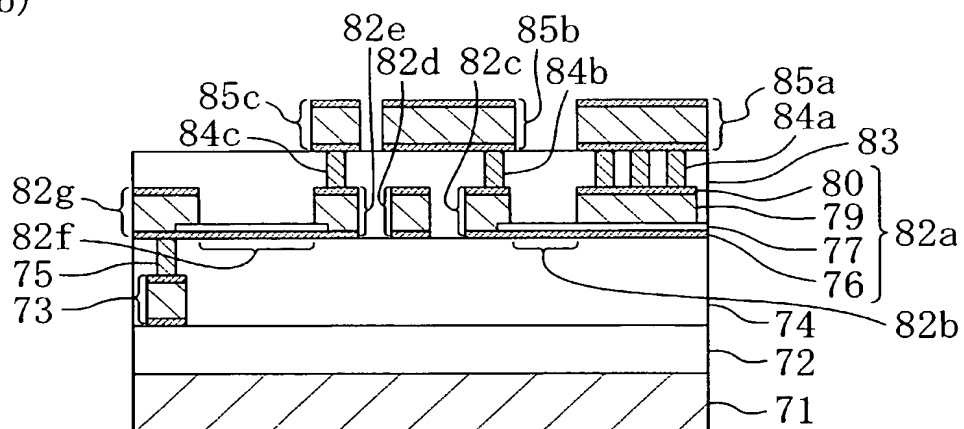


【図 8】

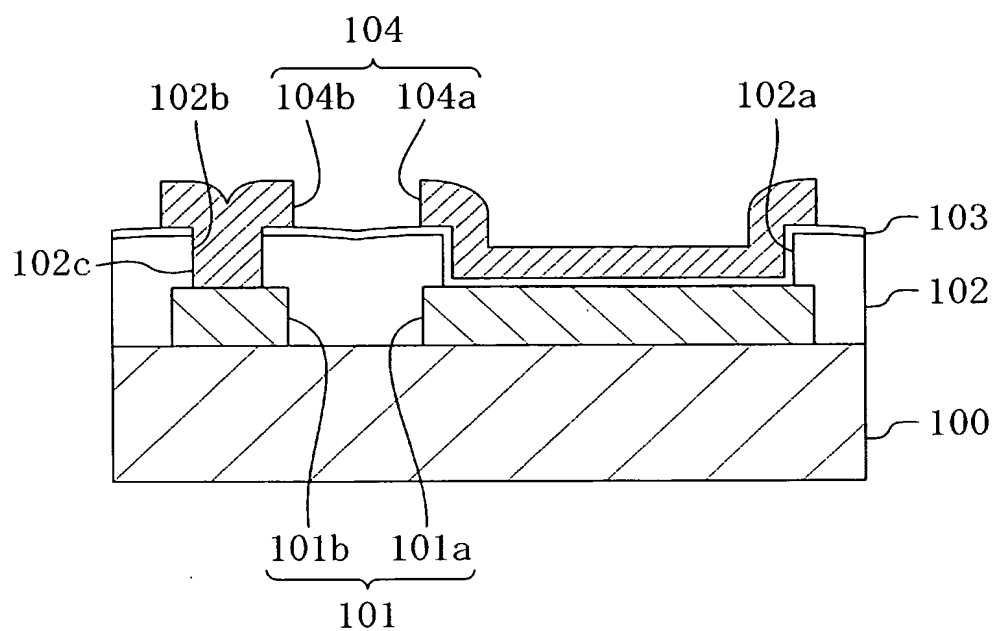
(a)



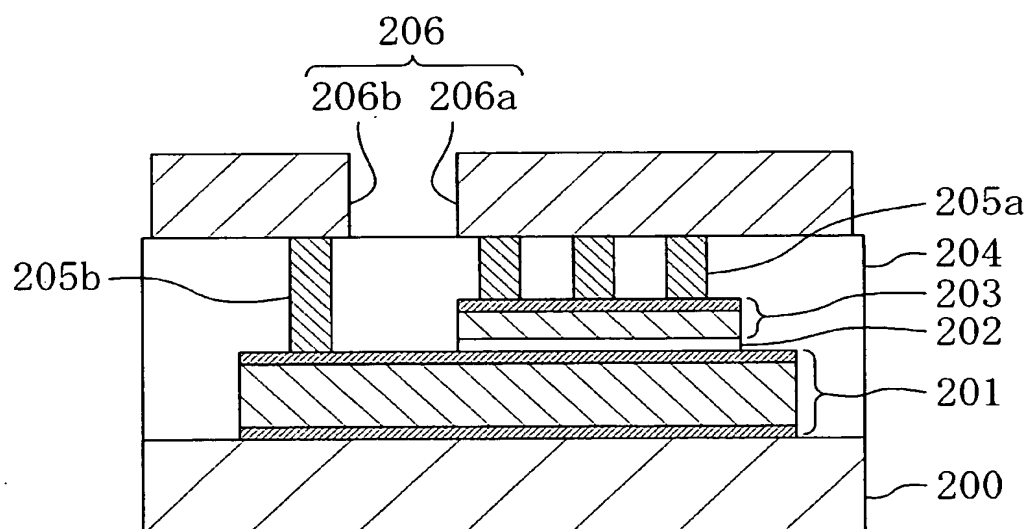
(b)



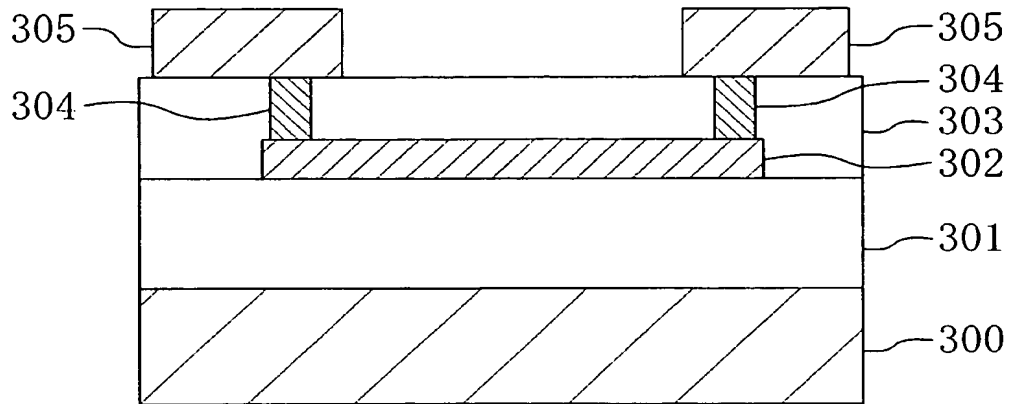
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 少ない工程数でM I M型容量素子を形成すると共に、抵抗値のバラツキ又は寄生抵抗が少ない抵抗体を有する半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、基板上に形成された絶縁膜 2 の上に下側から順に積層されたバリアメタル膜 6 及びA l C u膜 8 及びT i N膜 9 よりなる配線 1 0 b, 1 0 c と、バリアメタル膜 6 よりなる容量下部電極と、容量下部電極の上に形成された容量絶縁膜としてのS i O₂ 膜 7 と、S i O₂ 膜 7 の上に形成されたA l C u膜 8 及びT i N膜 9 よりなる容量上部電極とからなる容量素子 1 0 a とを備えている。

【選択図】 図 1

特願 2 0 0 3 - 0 9 4 2 1 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社